

DADES GENERALS

Curs acadèmic	Curs 2024/2025
Tipus de curs	Expert Universitari
Nombre de crèdits	15,00 Crèdits ECTS
Matrícula	0 euros (import preu públic)
Requisits d'accés	<p>Els perfils d'ingrés recomanat es correspondran als perfils formatius dels següents plans d'estudi a nivell de grau: Enginyeria Electrònica de Telecomunicació, Enginyeria en Tecnologies i Serveis de Telecomunicació, Enginyeria de Tecnologies de Telecomunicació, Enginyeria Electrònica Industrial, Enginyeria Electrònica i Automàtica Industrial, Enginyeria Electrònica Industrial i Automàtica, Informàtica Industrial i Robòtica, Enginyeria Informàtica, o graus, nacionals o estrangers, amb una alta afinitat als ací enumerats.</p> <p>En menor mesura, es podrien considerar graduats en: Enginyeria de l'Energia, Enginyeria Aeroespacial, Enginyeria Telemàtica, Enginyeria Robòtica, Enginyeria Física, o títols afins.</p> <p>En casos excepcionals, podrien #considerar perfils científics tradicionals com a Grau en Física, Grau en Matemàtiques o Grau en Ciència de Dades.</p> <p>Es permetrà l'accés a l'estudiantat que li falte menys d'un 10% dels crèdits per a acabar els estudis de grau, de forma condicionada al fet que s'aproven durant el mateix curs acadèmic.</p> <p>Respecte al perfil personal de l'estudiant que millor s'adapta, correspon a persones que vulguen aprofundir amb rigor en els coneixements i les habilitats que es requereixen per a especialitzar-se en les àrees descrites per a l'orientació professional. Així haurien de tindre una afinitat amb la microelectrònica com a motor en amplis sectors socioeconòmics, i especialment, com a contribució essencial en sectors estratègics industrials. Perfils professionals del sector amb voluntat d'assentar, reorientar o complementar la seua formació també seran adequats per a aquest títol.</p>
Modalitat	Presencial
Lloc d'impartició	ETSE
Horari	
Direcció	
Organitzador	Escola Tècnica Superior d'Enginyeria (ETSE-UV)
Direcció	Abilio Candido Reig Escriva Profesor/a Titular de Universidad. Departament d'Enginyeria Electrònica. Universitat de València Jesús Soret Medel Profesor/a Titular de Universidad. Departament d'Enginyeria Electrònica. Universitat de València Francisco Javier Jiménez Marquina Director de Ingeniería.MaxLinear
Terminis	
Preinscripció al curs	Fins a 13/12/24
Data inici	Gener 25
Data fi	Juny 25
Més informació	
Telèfon	961 603 000
E-mail	informacio@adeituv.es

PROGRAMA

Enginyeria de programari per a sistemes embeguts (S1)

Tema 1: Introducció als sistemes embeguts (1h)
Conceptes bàsics dels sistemes embeguts. Característiques diferencials
Tipus de sistemes embeguts
Aplicacions dels sistemes embeguts
Seguretat dels sistemes embeguts
Tema 2: Llenguatges de programació per a sistemes embeguts (1h)
Llenguatges de baix nivell per a sistemes embeguts. Assemblador
Llenguatges d'alt nivell per a sistemes embeguts. C i eines de compilació.
Llenguatges de scripting útils
Interfície entre diferents llenguatges de programació

Tema 3: Arquitectures SW/HW per a sistemes embeguts (1h)

- CPUs
- Memòries
- Hosted/Hostless
- Flaix/Flashless
- SDK i API de clients
- EVKs

Tema 4: Desenvolupament de programari per a sistemes embeguts (1h)

- Cicle de vida del desenvolupament de programari per a sistemes embeguts
- Metodologies agiles de desenvolupament de programari per a sistemes embeguts
- Eines de desenvolupament de programari per a sistemes embeguts

Tema 5: Descripció de característiques desitjables del flux de desenvolupament (2h)

Reduccion del Time-to-market

Definició de requisits

- o Funcionals
- o Temporals
- o Cost
- o Etc.

Arquitectura de Sistema

Co-disseny HW/SW

- o Plataformes de proves HW/SW

Simulacions

Emuladors

FPGAs

- o Definició d'interfícies HW/SW
- o HW drivers
- o Procés de `bringup`

Test Driven Development (TDD)

Control de versions (SCM)

Gestió de tasques i errors en projectes (Agile + Jira)

Tests de Sistema

Sistemes d'Integració Contínua

Test benches

Documentació

Tema 6: Disseny de programari per a sistemes embeguts (3h)

SW product line: HW and SW configurations

Arquitectura SW de capes, components i interfícies

- o Disseny per al re-use
- o Capes d'abstracció, HAL, OSAL.
- o Codi independent d'aplicació
- o Codi dependent d'aplicació
- o Components de tercers i qüestions legals

Disseny per a compatibilitat cap endarrere

Disseny escalable

Ús extensiu de tecnicas de programacion defensiva (assert)

- o Revisió mèdica de hard/soft deadlines
 - o Xeco de problemes amb la memòria (overwrites, stack overflows, etc)
- Sistemes operatius de temps real (RTOS)

- o Configuracion
- o Threads i prioritats
- o Interrupcions
- o Timers
- o Stacks
- o Primitives de comunicacion
- o Aplicacions multiprocessador
- o Utilitats de debug i analisis del rendiment
- o Problemes recurrents:

Thread preemption

Temps de resposta a interrupcions

Inversion de prioritats

Tipus de Components

- o HOST SW: drivers, apps, libs
- o Microprogramari: dev, prod, BIST, loader
- o Eines i scripts
- o Interface públics / privats

Tema 7: Funcionalitats usals en sistemes embeguts (2h)

Configuració específica del producte

- o Producció

o Remota

SW upgrades

SDK per a estendre/canviar funcionalitat

Flaix FS

Interfícies

- o JTAG
- o UART
- o SPI
- o Consola de debug/operacion
- Watchdog
- Eines de debug
- Memòria dinàmica

Tema 8: Optimització de SW en Sistemes Embeguts (2h)

- Memòria vs Rendiment
- Cost vs Facilitat en el desenvolupament
- Requisits HW
- Optimització de Memòria
 - o Compactació d'estructures de dades
 - o Dades en memòries compartides
 - o Assignació de memòria (linker script)
 - o Reutilització de memòria
 - o Implementació de subjets de llibreries (matemàtiques, libc)
- Optimització de rendiment
 - o Aritmètica de punt fix
 - o Ús d'assemblador.
 - o Re-escriptura de codi per a ús de HW específic (DSP)
 - o DMA

Tema 9: Anàlisi de fallades en Sistemes Embeguts (2h)

- Requisits HW
- JTAG
- Unit Tests
- Logs (serial, ethernet, files).
- Debug Buffers
- #CPU Trace buffer
- Memory dumps
- Anàlisi de problemes en temps. Profiling
- Analitze i visualització de dades.
- Debug en sistemes multiprocessador

LABORATORI:

La duració de cada laboratori serà de 1,5h:

Laboratori 1: Disseny de l'arquitectura d'un sistema embegut

- Requisits
- Arquitectura i codiseño HW/SW
- Avantatges i desavantatges de les diferents opcions quant a cost, facilitat de desenvolupament, rendiment, etc.
- Laboratori 2: Màquina virtualitzada per a desenvolupamentVirtualització de la plataforma de disseny (Docker)
- Eines de desenvolupament (GNU)
- Sistema de control de versions (GIT)
- Unit tests (Google Test)
- Anàlisi Estàtica de Codi (CppCheck)
- Cobertura de testatge (Gcov)
- Anàlisi dinàmica de Codi (Valgrind/Electric Fence)

Laboratori 3: Implementació de plataforma SW independent de l'aplicació sobre un simulador de RTOS

- Laboratori 4: Implementació d'utilitats per a debug (I)
- Laboratori 5: Implementació d'utilitats per a debug (II)
- Laboratori 6: Implementació de Mock per a simular un HW especifique
- Laboratori 7: Implementació d'una aplicació real estafe exemple sobre la plataforma anterior (I)
- Laboratori 8: Implementació d'una aplicació real time exemple sobre la plataforma anterior (II)
- Laboratori 9: Debug funcional de l'aplicació
- Laboratori 10: Anàlisi de rendiment i ús de memòria

[Control de qualitat \(QA\) en sistemes embeguts \(S2\)](#)

TEORIA (15h)

- Tema 0: Conceptes de validació i assegurament de la qualitat (QA)
- Model en V
- Requisits
- Proves
- Depuració i defectes
- Conceptes de CI i de #CD (Continuous Integration & Continuous Delivery)
- Tema 1: Definició de requisits
 - Requisits maquinari
 - Requisits programari
 - Requisits de sistema
 - Eines de gestió de requisits
- Tema 2: Definició de prova a partir de requisits

Eines existents vs pròpies
Tipus de proves (caixa negra, caixa blanca, funcionals, no funcionals...)
Definició d'indicadors clau de rendiment (KPI) a partir de requisits
Definició de criteris d'acceptació pass/fail
Tema 3: Introducció a la validació de sistemes embeguts
Validació de sistemes embeguts vs sistemes programari:
Disponibilitat de recursos
Temps d'execució
Possibilitat d'automatització
Definició de sistema sota prova
Interacció amb el sistema baix prova
Tema 4: Execució i automatització de proves
Definició de bancs de prova
Proves automàtiques vs manuals: Per què automatitzar
Automatització:
Codificació: Control de canvis
Instrumentació
Execució
Informes
Eines:
Llenguatges de programació per a proves automàtics
Eines per a registrar progrés de proves
Frameworks de prova
Recol·lecció organitzada de dades per a informe de defectes
Tema 5: Defectes
Què és un defecte i com identificar-los
Com reportar un defecte correctament
Eines d'informe i traçabilitat de defectes
Tema 6: CI per a productes embeguts
Què ofereix una eina de CI en la validació de productes embeguts:
Definició de treballs fàcilment repetibles
Distribució dels treballs entre maquinari disponible
Avantatges de tindre un CI automatitzat:
Optimització de temps maquina
Distribució de recursos
Informes de resultats automàtics
Gestió de bancs de prova:
Coexistència entre automatització i ús manual de recursos
Interacció dels components d'un entorn de CI
Eines habituals de CI:
Jenkins, Teamcity, Jira Workflow
Tema 7: Obtenció i anàlisi d'indicadors clau de rendiment (KPI)
KPI relacionats amb el producte:
Rendiment
Estabilitat
Repetibilidad
KPI relacionats amb l'entorn de CI:
Cobertura de requisits
Temps entre detecció de defecte i l'arranjament
Ús de recursos

LABORATORI (15h)

Laboratori 1: Definir requisits a partir d'una descripció breu d'un producte.
Laboratori 2: Definició de proves a partir de requisits. Pla de prova.
Laboratori 3: Execució manual d'un pla de prova. Proves exploratòries.
Laboratori 4: Automatització de les proves definides.
Laboratori 5: Identificació i reporte de defectes a partir dels resultats de les proves.
Laboratori 6: Creació d'un entorn CI complet.
Laboratori 7: Definició de KPI a partir de requisits i resultats de les proves.

[Sistemes operatius en temps real \(S3\)](#)

TEORIA (10h)

Conceptes generals d'arquitectura de computadors
o L'arquitectura (ISA: Instruction Set Architecture)
Diferències entre CISC i RISC
o La #CPU (Unitat Central de Procés)
Unitat de control
ALU (Unitat Aritmètic-Lògica)
Busos
Cache d'instruccions
Pipelining
Registres
o Cores

- o Memòria (#ROM, #RAM)
- Memòria caixet
- o Perifèrics d'entrada/eixida
- Interrupcions
- o Microcontroladors

Conceptes generals de programari

- o Llenguatges de programació
- Relació entre joc d'instruccions, codi objecte i llenguatge ensamblador
- o Tipus d'arxiu executable
- o Compiladors
- o El linker o enlazador
- Linker scripts i scatter files
- o Memòria estàtica i dinàmica
- El stack i el heap
- o El carregador d'arrencada o bootloader

Temps real i conceptes de RTOS

- o RTOS vs GPOS
- Latency
- o RTOS vs bare-metall (super loop)
- o Kernel / Scheduler
- preemptive estafe-slicing
- cooperative estafe-slicing
- Tick, Aneu-li task, Ticless aneu-li
- o Interrupcions maquinari i programari
- o Tasques i fils
- thread stack
- prioritats
- o Paral·lelisme i concurrència
- Secció Crítica
- Semàfors, mutex i operacions atòmiques
- Cues de missatges o altres mecanismes
- Condition variables
- Problemes clàssics
- productor/consumidor
- condició de carrera
- inversió de prioritats
- o Processadors multi-core
- SMP (Symetric Multi-Processing)
- AMP (Asymmetric Multi-Processing)
- o Comunicació entre tasques

Anàlisis dels RTOS més comunament usats

- o FreeRTOS
- o MicroC/US-II (uCOS)
- o ThreadX
- o RTEMS
- o Zephyr
- o VxWorks

RTOS en FPGAs

- o Processadors softcore. Exemples
- Xilinx Microblaze
- Tensilica Xtensa
- Implementacions RISC-V (La meua-V RV32, NEORV32, FEMTORV32)

LABORATORI (20h)

Projecte d'un xicotet sistema controlat per RTOS:

Control d'un ventilador accionat per motor #DC (PWM) de manera automàtica mitjançant sensor de temperatura i controlable mitjançant comandos per Ethernet.

[Projecte industrial en microelectrònica](#)

Els continguts del "Projecte Industrial en Microelectrònica" seran diferents depenent dels objectius concrets del projecte a realitzar. Poden ser objecte de tema d'aquells que siguen propis dels estudis del títol. En particular, es podran projectar tota classe de sistemes i dispositius microelectrònics per quants procediments permetia realitzar l'enginyeria actual. També podrà ser objecte del Projecte Industrial en Microelectrònica els treballs de recerca i desenvolupament, i el modelatge teòric o numèric dels dispositius, circuits o sistemes microelectrònics. Es podran considerar així mateix els estudis relacionats amb els continguts del títol relatius a equips, fàbriques, instal·lacions, serveis o la seua planificació, gestió o explotació.

PROFESSORAT

María Teresa Bacete Castelló

Site Director. Maxlinear

Javier Calpe Maravilla

Profesor/a Titular de Universidad. Departament d'Enginyeria Electrònica. Universitat de València

Miguel Chanca Martín

IC Lead. Robert Bosch

Francisco Escuder Roberto

Responsable de software. MaxLinear Hispania, S.L.

Luis Alfonso Espinosa Ortega

Ingeniero de Firmware. Analog Devices, S.L.U

José Luis García Navas

Ingeniero de calidad de software. MaxLinear Hispania, S.L.

Francisco Javier Jiménez Marquina

Director de Ingeniería. MaxLinear

Fernando Pardo Carpio

Catedrático/a de Universidad. Departament d'Informàtica. Universitat de València

Abilio Candido Reig Escriva

Profesor/a Titular de Universidad. Departament d'Enginyeria Electrònica. Universitat de València

Antonio Jesús Rubio Salcedo

Ingeniero de Verificación de Diseño. Analog Devices, S.L.U

Rafael Serrano-Gotarredona

Director General. ams-OSRAM

Jesús Soret Medel

Profesor/a Titular de Universidad. Departament d'Enginyeria Electrònica. Universitat de València

OBJECTIUS

Les sortides professionals que té el curs són:

Les eixides professionals previstes estan estretament vinculades als perfils més demandats en aquest àmbit, entre els quals es podrien destacar:

Dissenyadors analògics; dissenyadors RF i MMIC; enginyers de disseny físic (P&R); dissenyadors de dispositius (layout); enginyers d'estàndards; enginyers de test; enginyers de qualitat i fiabilitat; enginyers d'embalatge (chiplet...); dissenyadors de sensors i MEMS; tecnòlegs; dissenyadors de dispositius optoelectrònics; dieñadores de PCBs; ...

En els últims temps, les empreses del sector de la microelectrònica i els semiconductors han vist com les seues ofertes de treball quedaven sovint vacants per falta de persones amb la formació demandada per a llocs tan específics. Per tant, l'objectiu fonamental d'aquest títol és oferir a l'ecosistema VaSiC perfils professionals amb les competències necessàries per a ser directament incorporats en les seues plantilles.

METODOLOGÍA

El centre responsable del Títol d'Expert en Sistemes-en-Xip (SoC) és la Escola Tècnica Superior d'Enginyeria (ETSE), i s'impartirà de manera presencial, en castellà, en horari de divendres i dissabte. La matrícula serà gratuïta. Aquest títol propi es desenvolupa en 15 ECTS, entre els quals s'inclouen 6 de projecte industrial en microelectrònica amb empresa, fonamentalment de VaSiC. Els continguts d'aquest títol seran impartits en la seua pràctica totalitat per professorat especialista de les empreses de VaSiC. Totes les assignatures, tant les fonamentals com les optatives, inclouran continguts teòrics i continguts pràctics. L'alumnat disposarà d'ordinadors adequats amb les eines utilitzades en l'estàndard industrial per al desenvolupament i anàlisi dels sistemes que es proposen: Cadence, Synopsys, desenvolupament ARM, Matlab... També disposaran de l'instrumental necessari per al test i caracterització dels dispositius que s'estudien. Es preveuen pràctiques en sala blanca.